

## 华东师范大学计算机科学与技术学院上机实践报告

---

课程名称：数字逻辑及实验	年级：2022 级	上机实践成绩：
指导教师：施维良	姓名：岳锦鹏	上机实践日期：2023/11/16
实践编号：实验四	学号：10213903403	上机实践时间：2 学时

---

### 一、实验目的

1. 掌握 74LS74 双 D 触发器的逻辑功能及测试方法。
2. 了解 D 触发器的简单应用。

### 二、实验内容及步骤

1. 验证 74LS74 双 D 触发器的逻辑功能（只需对其中的一个 D 触发器测试功能）。
2. 用 D 触发器组成一个计数器。

### 三、实验原理

1. 验证 74LS74 双 D 触发器的逻辑功能（只需对其中的一个 D 触发器测试功能）。

按引脚图接好线路，在 CP 端接 1kHz 的方波，使  $S_D = R_D = 1$ ，在  $D=0$ 、 $D=1$ 、 $D=\overline{Q_n}$  三种情况下分别记录 Q 端（指示灯亮、暗情况）。注意时钟脉冲（CP）和输出脉冲的相位关系。

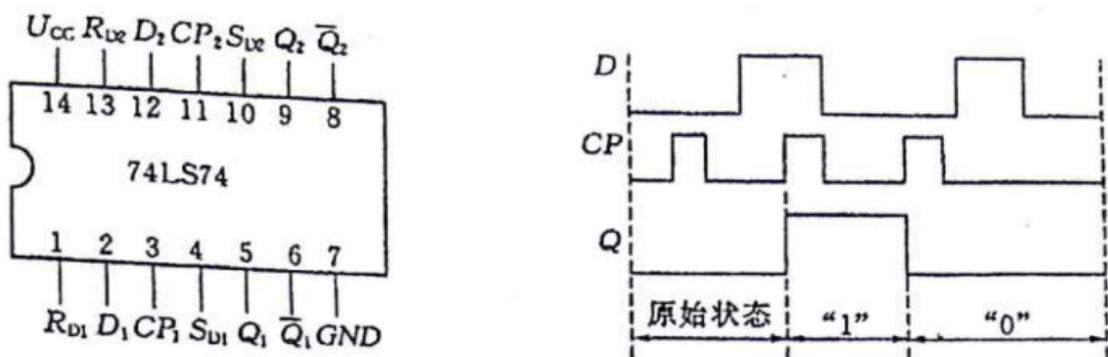


图 4.1: 74LS74 双 D 触发器的引脚图和波形图

表 4.2: 74LS74 的功能表

输 入				输 出		输 入				输 出	
$S_D$	$R_D$	CP	D	$Q_{n+1}$	$\bar{Q}_{n+1}$	$S_D$	$R_D$	CP	D	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	1	$\Phi$	$\Phi$	1	0	1	1	$\uparrow$	1	1	0
1	0	$\Phi$	$\Phi$	0	1	1	1	$\uparrow$	0	0	1
0	0	$\Phi$	$\Phi$	1*	1*	1	1		$\Phi$		

表 4.3: 附录中的 74LS74 的功能表

正沿触发双 D 触发器(带预置和清除)  
74LS74

输 入				输 出	
$\overline{PR}$	$\overline{CLR}$	CK	D	Q	$\bar{Q}$
0	1	$\phi$	$\phi$	1	0
1	0	$\phi$	$\phi$	0	1
0	0	$\phi$	$\phi$	1*	1*
1	1	$\uparrow$	1	1	0
1	1	$\uparrow$	0	0	1
1	1	0	$\phi$	$Q_n$	$\bar{Q}_n$

T4074

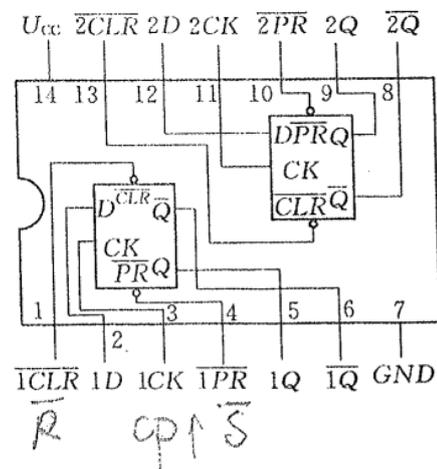


图 4.2: 附录中的 74LS74 的引脚图

2. 用 D 触发器组成一个计数器。

- ① 按图 4.3 所示连接, 时钟脉冲用 10kHz, 采用指示灯的亮、暗情况, 观察  $CP$ 、 $Q_A$ 、 $Q_B$ 、 $Q_C$ 、 $Q_D$ 。
- ② 把图 4.3 中  $CP_B$  接  $\bar{Q}_A$ 、 $CP_C$  接  $\bar{Q}_B$ 、 $CP_D$  接  $\bar{Q}_C$ , 用指示灯的亮、暗情况, 观察  $CP$ 、 $Q_A$ 、 $Q_B$ 、 $Q_C$ 、 $Q_D$ 。

根据指示灯的亮、暗情况, 分析这两种计数器属于何种计数器。

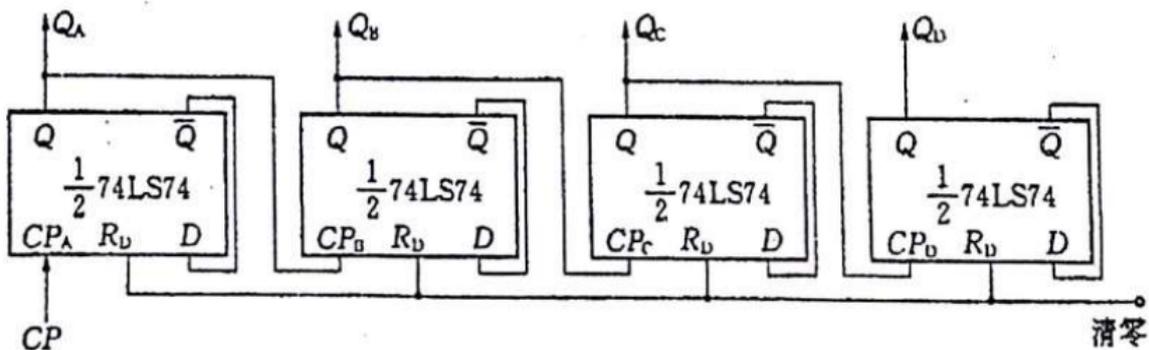


图 4.3: 用 D 触发器组成计数器

在不使用清零输入的情况下，按照  $Q_D$  最高位， $Q_A$  最低位的顺序来看，① 中的输出从 1111 按照二进制数的算术顺序不断减少到 0000，之后重置为 1111，如此往复，即十进制的从 15 自减到 0，之后重置为 15，再自减的循环；而② 中的输出从 0000 按照二进制数的算术顺序不断增加到 1111，之后重置为 0000，如此往复；即十进制的从 0 自增到 15，之后重置为 0，再自增的循环。

将清零输入置为 1 的时候，输出为 0000，清零输出变回 0 后，继续从 0000 开始计数。

综上所述，这两种计数器，① 为减法计数器，② 为加法计数器。

区别：① 的计数是不断减少的，② 的计数是不断增加的；

联系：① 和 ② 都是异步计数器，每一级的 D 触发器的时钟信号接了上一级的输出。